



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0080016  
Application Number

출 원 년 월 일 : 2002년 12월 14일  
Date of Application DEC 14, 2002

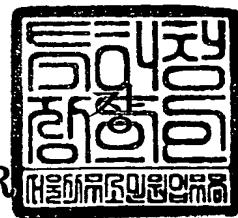
출 원 인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 04 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2002. 12. 14
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method For Manufacturing Semiconductor Devices
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	정병현
【성명의 영문표기】	JUNG, Byung Hyun
【주민등록번호】	641017-1480219
【우편번호】	143-210
【주소】	서울특별시 광진구 광장동 578 금호APT 103-903
【국적】	KR
【발명자】	
【성명의 국문표기】	김형윤
【성명의 영문표기】	KIM, Hyoung Yoon
【주민등록번호】	711020-1481511

【우편번호】 361-201

【주소】 충청북도 청주시 흥덕구 분평동 주공 APT 321-1401

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
김영철 (인) 대리인  
김순영 (인) 대리인  
이준서 (인)

【수수료】

【기본출원료】 19 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 522,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 제조 방법을 제공한다. 이에 의하면, 듀얼 다마신 공정을 이용하여 반도체 기판의 하부 층간 절연막의 하부 콘택홀에 구리 확산 방지층을 적층시키고, 상기 하부 콘택홀에 하부 구리층을 매립시킴과 아울러 상기 하부 층간 절연막에 평탄화시키고, 상기 하부 구리층의 평탄화 과정중에 상기 하부 구리층의 표면에 기생적으로 생성된 CuO층을 암모니아 또는 질소 플라즈마 처리시킴으로써 상기 CuO층을 제거시키고 아울러 상기 하부 구리층의 표면에 도전성의 구리 확산 방지층인 CuN층을 형성시키고, 상기 CuO층을 제거시키기 위한 반응챔버에서 연속하여 상기 하부 구리층 상에 상기 하부 구리층의 확산 방지층인 질화막을 적층시키고, 상기 질화막 상에 상부 층간 절연막을 적층시키고, 상기 하부 구리층을 노출시키기 위해 상기 층간절연막의 일부분에 상부 콘택홀을 형성시키고, 마지막으로 상기 상부 콘택홀의 내부에 구리 확산 방지층을 적층시키고, 상기 상부 콘택홀을 상부 구리층으로 매립시키고 아울러 상기 상부 층간절연막에 평탄화시킨다.

따라서, 본 발명은 폭발 위험성이 낮은 암모니아 또는 질소를 이용하여 상기 CuO층을 플라즈마 처리시키므로 상기 CuO층의 제거를 위한 공정 안전성을 확보할 수 있다. 또한, 반도체 소자의 콘택 특성을 향상시킬 수도 있다.

**【대표도】**

도 7

**【명세서】****【발명의 명칭】**

반도체 소자의 제조 방법{Method For Manufacturing Semiconductor Devices}

**【도면의 간단한 설명】**

도 1 내지 도 2는 종래의 듀얼 다마신(Dual Damascene) 공정에 적용된 구리 배선 공정을 나타낸 단면 공정도.

도 3 내지 7은 본 발명에 의한 반도체 소자의 제조 방법에 적용된 듀얼 다마신 공정을 나타낸 단면 공정도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 하부 구리층의 구리 산화막을 공정 안전성을 확보하면서 플라즈마 처리시켜 제거시키도록 한 반도체 소자의 제조 방법에 관한 것이다.

<4> 일반적으로, 반도체 소자의 고집적화에 따라 배선의 미세화가 계속 진행되고 있다. 반도체 소자에서의 미세 배선은 배선의 저항 증가를 가져오고 나아가 신호 전달 지연을 가져온다. 이러한 신호 전달 지연을 해결하기 위해 기존의 단층 배선 구조를 대신하여 새로운 다층 배선 구조가 도입되기 시작하였다. 그러나, 다층 배선 구조에서 배선간의 간격이 더욱 축소되면서

동일 층 배선간의 기생 용량(Parasitic Capacitance)이 증가하고 반도체 소자의 신호 전달 지연이 더욱 심화된다. 특히, 선폭이 더욱 미세화된 배선의 경우, 배선의 기생 용량으로 인한 신호 전달 지연이 반도체 소자의 동작 특성에 크게 영향을 끼친다. 배선간의 기생 용량을 저감시키기 위해서는 배선의 두께를 줄이고 층간 절연막의 두께를 늘리는 것이 바람직하다. 따라서, 배선을 비저항이 낮은 물질로 형성시키고 층간 절연막을 유전율이 낮은 물질로 형성시키는 방안의 하나로 배선 물질로서, 예를 들어 구리(Cu)가 현재 사용되고, 또한 층간 절연막 물질로서 다양한 물질들이 제안되고 있다. 하지만, 구리의 경우, 식각 부산물의 증기압이 낮기 때문에 전식 식각의 어려움이 많다. 그래서, 최근에는 층간 절연막에 비아홀(Via Hole)이나 콘택홀과 같은 홀을 형성시키고 상기 홀에 구리를 매립시키고 평탄화시킴으로써 구리 배선을 형성시키는 다마신(Damascene) 공정이 사용되고 있다. 다마신 공정의 경우, 구리의 평탄화를 위한 화학 기계 연마(Chemical Mechanical Polishing) 공정을 진행할 때 식각 저지층이 요구된다. 식각 저지층의 유전율이 크면 층간 절연막의 유전율이 증가하므로 식각 저지층으로는 두께가 얇고 유전율이 낮은 물질을 사용하지 않으면 안된다. 현재, 식각 저지층으로서 사용되고 있는 물질로는 실리콘 질화막이 대표적이다. 그런데, 화학 기계 연마 공정에 있어서, OES(Optical Emission Spectroscopy) 방법을 적용한 종료 시점 검출(End Point Detection: EPD) 시스템을 사용할 경우, 식각 저지층인 실리콘 질화막이 이미 노출된 후 배선용 물질의 식각 종료 시점이 검출되기 때문에 식각 저지층이 식각되기 쉽다. 이로써, 식각 저지층의 두께가 얇을 경우, 식각 저지층이 식각에 의해 더욱 얇아짐으로써 쉽게 깨질 가능성이 높다. 그래서, 레이저 간섭계(Laser Interferometer)를 적용한 EPD 시스템을 사용하는 것이 바람직하다. 이는 식각 저지층의 노출 전에 배선 물질의 식각을 종료시킴으로써 식각 저지층의 손실을 저감시킬 수 있

기 때문이다. 따라서, 얇은 식각 저지층을 사용 가능하므로 식각 저지층을 포함한 전체적인 층간 절연막의 유전율을 저감시킬 수가 있다.

<5>      듀얼 다마신(Dual Damascene) 공정을 이용한 종래의 배선공정에서는 도 1에 도시된 바와 같이, 반도체 기판(10), 예를 들어 단결정 실리콘 기판 상에 하부 층간 절연막(11)이 적층되고, 상기 하부 층간 절연막(11)의 일부분에 상기 반도체 기판(10)의 콘택 영역(도시 안됨)을 노출시키기 위한 하부 콘택홀(12)이 형성된다. 상기 하부 콘택홀(12)의 내벽과 상기 콘택 영역의 표면에만 구리 확산 방지층(13)이 형성되고, 상기 구리 확산 방지층(13) 상에 상기 하부 콘택홀(12)을 매립하기 위한 하부 구리층(15)이 적층된다. 상기 하부 구리층(15)이 화학 기계 연마(Chemical mechanical polishing: CMP) 공정에 의해 상기 하부 층간 절연막(11)과 평탄화를 이룬다. 또한, 상기 하부 구리층(15)과 함께 상기 하부 층간 절연막(11) 상에 질화막과 같은 구리 확산 방지층(17)이 적층되고, 상기 구리 확산 방지층(17) 상에 상부 층간 절연막(19)이 적층되고, 상기 상부 층간 절연막(19)의 일부분에 상기 하부 구리층(15)의 콘택 영역을 노출시키기 위한 상부 콘택홀(20)이 형성된다.

<6>      도 2에 도시된 바와 같이, 그런 다음, 상기 상부 콘택홀(20)의 내부에 탄탈늄(Ta) 또는 질화 탄탈늄(TaN)의 구리 확산 방지층을 적층하기에 앞서 상기 하부 구리층(15)의 노출된 표면을 수소( $H_2$ ) 플라즈마 처리시킴으로써 상기 상부 구리층(15)의 표면 상의 절연막인 구리 산화물, 즉  $Cu_2O$ (16)을 제거시킨다. 이는 상기 층간 절연막(19)의 형성을 위해 상기 하부 구리층(15)을 습식 처리하는 과정에서 상기 하부 구리층(15)의 표면에 상기  $Cu_2O$ (16)이 기생적으로 형성되는데, 상기  $Cu_2O$ (16)을 그대로 남겨둔 채 상기 상부 콘택홀(20)에 상부 구리층(도시 안

됨)을 매립하기 위한 후속 공정을 진행하였을 경우, 상기 하부 구리층(15)과 상기 상부 구리층의 콘택 특성이 악화되기 때문이다.

### 【발명이 이루고자 하는 기술적 과제】

<7> 그러나, 종래의 방법은 상기 Cu0층(16)을 제거하기 위해 수소(H<sub>2</sub>) 플라즈마 처리를 하는데, 이때, 폭발성이 큰 수소(H<sub>2</sub>) 가스를 이용하므로 상기 Cu0층(16)의 제거를 위한 반응 챔버에서의 공정 안정성을 확보하기가 어렵다.

<8> 따라서, 본 발명의 목적은 하부 구리층과 상부 구리층의 콘택 특성을 유지하면서도 상기 하부 구리층의 Cu0층을 제거하는 공정의 안전성을 확보하도록 한 반도체 소자의 제조 방법을 제공하는데 있다.

<9> 본 발명의 다른 목적은 하부 구리층과 상부 구리층 사이의 질화막의 두께를 줄임으로써 반도체 소자의 동작 속도를 향상시키도록 한 반도체 소자의 제조 방법을 제공하는데 있다.

### 【발명의 구성 및 작용】

<10> 이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 제조 방법은

<11> 반도체 기판의 하부 층간 절연막의 일부분에 하부 콘택홀을 형성시키는 단계; 상기 하부 콘택홀에 하부 구리층을 매립시킨 후 상기 하부 구리층을 평탄화시키는 단계; 상기 하부 구리층에 기생적으로 생성된 구리 산화막을 제거시키는 단계; 상기 하부 구리층과 상기 하부 층간 절연막 상에 구리 확산 방지층인 절연막을 적층시키는 단계; 및 상기 절연막 상에 상부 층간

절연막을 적층시킨 후 상기 하부 구리층을 노출시키기 위해 상기 상부 절연막의 일부분에 상부 콘택홀을 형성시키는 단계를 포함하는 것을 특징으로 한다.

<12> 바람직하게는, 상기 구리 산화막을 제거시킨 후 상기 하부 구리층의 표면에 구리 질화막을 형성시킬 수가 있다.

<13> 바람직하게는, 상기 구리 산화막을 암모니아 가스와 질소 가스 중 하나를 이용한 플라즈마 처리에 의해 제거시킬 수 있다. 상기 암모니아 가스와 상기 질소 가스 중 하나를 100~200sccm의 유량으로 반응 챔버로 유입시키는 것이 바람직하다. 또한, 상기 반응 챔버의 온도를 300~500°C로 유지시키는 것이 바람직하다.

<14> 바람직하게는, 상기 구리 산화막의 제거와 상기 질화막의 적층을 하나의 동일한 챔버에서 실시할 수 있다.

<15> 바람직하게는, 상기 구리 산화막의 제거를 암모니아 가스와 질소 가스 분위기 중 하나에서 열처리에 의해 제거시킬 수 있다. 상기 암모니아 가스와 질소 가스 분위기 중 하나를 5~20s1m의 유량으로 로에 유입시키는 것이 바람직하다. 또한, 상기 로의 온도를 400~600°C로 유지시키는 것이 바람직하다.

<16> 바람직하게는, 상기 구리 질화막을 50~200Å의 두께로 형성시킬 수가 있다.

<17> 바람직하게는, 상기 구리 확산 방지층인 절연막으로서 질화막을 적층시킬 수가 있다. 또한, 상기 질화막을 50~200Å의 두께로 적층시키는 것이 바람직하다.

<18> 이하, 본 발명에 의한 반도체 소자의 제조 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일 구성 및 동일 작용의 부분에는 동일 부호를 부여하기로 한다.

<19> 도 3 내지 도 7은 본 발명에 의한 반도체 소자의 제조 방법에 적용된 듀얼 다마신 공정을 나타낸 단면 공정도이다.

<20> 도 3을 참조하면, 먼저, 반도체 기판(10), 예를 들어 단결정 실리콘 기판을 준비한다. 물론, 상기 반도체 기판(10)에는 메모리 소자나 로직 소자를 위한 트랜지스터의 소스/드레인 및 게이트 전극 등이 형성되어 있음은 자명한 사실이다. 이어서, 통상적인 적층 공정을 이용하여 상기 반도체 기판(10) 상에 산화막과 같은 하부 층간 절연막(11)을 적층시키고 평탄화시킨다. 설명의 편의상 상기 하부 층간 절연막(11)이 단층으로 도시되어 있으나, 실제로는 층간 절연막의 특성을 향상시키기 위해 다양한 재질의 복수 층으로 형성될 수 있다. 그런 다음, 듀얼 다마신 공정을 실시하기 위해 상기 하부 층간 절연막(11)의 일부분에 상기 반도체 기판(10)의 콘택 영역(도시 안됨)을 노출시키기 위한 하부 콘택홀(12)을 사진식각공정으로 형성시킨다. 이후, 통상적인 적층 공정을 이용하여 상기 하부 콘택홀(12)을 포함한 상기 하부 층간 절연막(11) 상에 구리 확산 방지층(13), 예를 들어 탄탈늄(Ta) 또는 질화 탄탈늄(TaN)의 구리 확산 방지층을 적층시킨다. 이어서, 예를 들어 전기 분해 방법을 이용하여 하부 구리층(15)을 두껍게 적층시킴으로써 상기 하부 콘택홀(12)을 상기 하부 구리층(15)으로 매립시킨다. 그런 다음, 통상적인 화학 기계 연마 공정을 이용하여 상기 하부 구리층(15)을 상기 하부 층간 절연막(11)에 평탄화시킨다. 이때, 상기 구리 확산 방지층(13)과 상기 하부 구리층(15)이 상기 하부 콘택홀(12)에만 남는 반면에 상기 하부 콘택홀(12) 외측의 상기 하부 층간 절연막(11) 상에 전혀 남지 않는 것이 바람직하다.

<21> 여기서, 상기 화학 기계 연마 공정에서는 습식 공정이 추가되므로 상기 평탄화된 하부 구리층(15)의 표면에 CuO층(16)과 같은 절연막이 기생적으로 형성된다. 상기 CuO층(16)은 상기 하부 구리층(15)와 도 7의 상부 구리층(39)과의 콘택 특성을 악화시키기 때문에 상기 상부 구리층(39)의 매립 전에 상기 CuO층(16)의 제거 공정을 실시하는 것이 필요하다.

<22> 도 4를 참조하면, 이후, 도 3의 CuO층(16)의 제거를 위해 반응 챔버, 예를 들어 도 5의 구리 확산 방지층인 질화막(33)을 적층하기 위한 반응 챔버(도시 안됨)에 상기 반도체 기판(10)을 장착한 후 상기 CuO층(16)을 암모니아(NH<sub>3</sub>) 또는 질소(N<sub>2</sub>) 플라즈마 처리시킴으로써 상기 하부 구리층(15) 상의 CuO층(16)을 모두 제거시킨다. 따라서, 본 발명은 상기 CuO층(16)의 제거를 위해 종래의 수소 플라즈마 처리 대신에 폭발 위험성이 낮은 암모니아(NH<sub>3</sub>) 또는 질소(N<sub>2</sub>) 가스를 이용하여 플라즈마 처리시킴으로써 상기 반응 챔버에서의 CuO층 제거 공정의 안전성을 확보할 수 있다.

<23> 또한, 상기 CuO층(16)을 제거시키기 위한 플라즈마 처리나 열처리가 완료되고 나면, 도 5에 도시된 바와 같이, 상기 하부 구리층(15)의 표면에 도전성의 구리 확산 방지층인 구리 질화막, 즉 CuN층(31)이 50~200Å의 두께로 형성된다. 이는 후속 공정으로 적층될 상기 질화막(33)의 두께를 크게 줄여줄 수 있다.

<24> 한편, 상기 반응 챔버의 온도는 300~500°C로 유지하고, 상기 반응 챔버로 주입되는 암모니아(NH<sub>3</sub>) 또는 질소(N<sub>2</sub>) 가스의 유량은 100~200sccm(standard cubic centimeter)로 유지하는 것이 바람직하다. 물론, 상기 구리층(15) 상의 CuO층(16)을 제거시키기 위해 상기 반도체 기판(10)을 일반적인 로(furnace)(도시 안됨)에서 열처리시키는 방법도 가능하다. 이때, 상기 로의 온도는 400~600°C로 유지하고, 상기 로에 암모니아(NH<sub>3</sub>) 또는 질소(N<sub>2</sub>) 가스의 유량은 5~20 s1m로 유지하는 것이 바람직하다.

<25> 도 6을 참조하면, 상기 질화막(33)을 적층하기 위한 반응 챔버에 상기 반도체 기판(10)을 그대로 놓아둔 채 시간적인 지체없이 연속하여 상기 CuN층(31)을 포함한 상기 반도체 기판(10) 상에 구리 확산 방지층인 질화막(33)을 100~500Å의 얇은 두께로 적층시킨다. 따라서, 본 발명은 상기 하부 구리층(15) 상에 구리 확산 방지층(31)을 미리 형성시키므로 유전 상수(dielectric contant)(k)의 값이 큰 상기 질화막(33)을 더욱 얇게 적층시킬 수 있다. 그 결과, 층간 절연막 사이의 유전 상수의 값 상승으로 인한 반도체 소자의 동작 속도 감소를 억제시킬 수가 있다.

<26> 도 7을 참조하면, 그런 다음, 통상적인 적층 공정을 이용하여 상기 질화막(33) 상에 산화막과 같은 상부 층간 절연막(35)을 적층시키고 평탄화시킨다. 설명의 편의상 상기 상부 층간 절연막(35)이 단층으로 도시되어 있으나, 실제로는 층간 절연막의 특성을 향상시키기 위해 다양한 재질의 복수 층으로 형성될 수 있다. 그런 다음, 듀얼 다마신 공정을 실시하기 위해 상기 상부 층간 절연막(35) 및 질화막(33)의 일부분에 상기 하부 구리층(15)의 콘택 영역(도시 안됨)을 노출시키기 위한 상부 콘택홀(37)을 사진식각공정으로 형성시킨다. 이때, 상기 하부 구리층(15) 상의 CuN층(31)이 식각 정지막으로서 역할을 하므로 상기 하부 구리층(15)은 실제로 노출 방지된다. 이는 상기 상부 콘택홀(36)이 생성되더라도 상기 하부 구리층(15)의 표면에 CuO층이 생성되는 것을 방지시켜준다. 이후, 통상적인 적층 공정을 이용하여 상기 상부 콘택홀(36)을 포함한 상기 상부 층간 절연막(35) 상에 구리 확산 방지층(37), 예를 들어 탄탈늄(Ta) 또는 질화 탄탈늄(TaN)의 구리 확산 방지층을 적층시킨다. 이어서, 예를 들어 전기 분해 방법을 이용하여 상부 구리층(39)을 두껍게 적층시킴으로써 상기 상부 콘택홀(36)을 상기 상부 구리층(39)으로 매립시킨다. 그런 다음, 통상적인 화학 기계 연마 공정을 이용하여 상기 상부 구리층(39)을 상기 상부 층간 절연막(35)에 평탄화시킨다. 이때, 상기 구리 확산 방지층

(37)과 상기 상부 구리층(39)이 상기 상부 콘택홀(36)에만 남는 반면에 상기 상부 콘택홀(36) 외측의 상기 상부 층간 절연막(35) 상에 전혀 남지 않게 해주는 것이 바람직하다.

<27> 따라서, 본 발명은 하부 구리층의 표면에 기생적으로 형성된 CuO층을 제거하기 위해 폭발성이 높은 수소가스를 이용한 플라즈마 처리 대신에 암모니아 또는 질소 플라즈마 처리하므로 상기 CuO층 제거 공정의 안전성을 확보할 수 있고 또한 반도체 소자의 콘택 특성을 향상시킬 수가 있다. 더욱이, 본 발명은 상기 CuO층을 제거하면서 상기 하부 구리층의 표면에 구리 확산 방지층인 CuN층을 형성시키므로 상기 하부 구리층 상에 유전 상수가 큰 질화막을 더욱 얇은 두께로 적층시키고 나아가 반도체 소자의 동작 속도를 향상시킬 수가 있다.

<28> 또한, 상기 CuO층의 제거와 상기 CuN층의 형성 및 상기 질화막의 적층을 하나의 동일한 질화막 적층용 반응 챔버에서 실시할 수 있으므로 공정 단순화를 이루고 나아가 생산성을 향상시킬 수가 있다.

### 【발명의 효과】

<29> 이상에서 설명한 바와 같이, 본 발명에 의한 반도체 소자의 제조 방법은 듀얼 다마신 공정을 이용하여 반도체 기판의 하부 층간 절연막의 하부 콘택홀에 구리 확산 방지층을 적층시키고, 상기 하부 콘택홀에 하부 구리층을 매립시킴과 아울러 상기 하부 층간 절연막에 평탄화시키고, 상기 하부 구리층의 평탄화 과정중에 상기 하부 구리층의 표면에 기생적으로 생성된 CuO층을 암모니아 또는 질소 플라즈마 처리시킴으로써 상기 CuO층을 제거시키고 아울러 상기 하부 구리층의 표면에 도전성의 구리 확산 방지층인 CuN층을 형성시키고, 상기 CuO층을 제거시키기 위한 반응

챔버에서 연속하여 상기 하부 구리층 상에 상기 하부 구리층의 확산 방지층인 질화막을 적층시키고, 상기 질화막 상에 상부 층간 절연막을 적층시키고, 상기 하부 구리층을 노출시키기 위해 상기 층간절연막의 일부분에 상부 콘택홀을 형성시키고, 마지막으로 상기 상부 콘택홀의 내부에 구리 확산 방지층을 적층시키고, 상기 상부 콘택홀을 상부 구리층으로 매립시키고 아울러 상기 상부 층간절연막에 평탄화시킨다.

<30> 따라서, 본 발명은 상기 하부 구리층의 CuO층을 제거하기 위해 폭발 위험성이 높은 수소 가스 대신에 폭발 위험성이 낮은 암모니아 또는 질소를 이용하여 플라즈마 처리시킴으로 상기 CuO층의 제거 공정의 안전성을 확보할 수 있다. 또한, 반도체 소자의 콘택 특성 저하를 방지할 수 있다.

<31> 또한, 본 발명은 상기 CuO층을 제거하면서 상기 하부 구리층의 표면에 구리 확산 방지층인 CuN층을 형성시킴으로 상기 하부 구리층 상에 적층할 유전 상수가 큰 질화막을 더욱 얇은 두께로 적층시킬 수가 있다. 이는 반도체 소자의 동작 속도를 향상시킬 수가 있다.

<32> 또한, 상기 CuO층의 제거와 상기 CuN층의 형성 및 상기 질화막의 적층을 하나의 동일한 질화막 적층용 반응 챔버에서 실시할 수 있으므로 공정 단순화를 이루고 나아가 생산성을 향상시킬 수가 있다.

<33> 한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

**【특허청구범위】****【청구항 1】**

반도체 기판의 하부 층간 절연막의 일부분에 하부 콘택홀을 형성시키는 단계;

상기 하부 콘택홀에 하부 구리층을 매립시킨 후 상기 하부 구리층을 평탄화시키는 단계;

상기 하부 구리층에 기생적으로 생성된 구리 산화막을 제거시키는 단계;

상기 하부 구리층과 상기 하부 층간 절연막 상에 구리 확산 방지층인 절연막을 적층시키는 단계; 및

상기 절연막 상에 상부 층간 절연막을 적층시킨 후 상기 하부 구리층을 노출시키기 위해 상기 상부 절연막의 일부분에 상부 콘택홀을 형성시키는 단계를 포함하는 반도체 소자의 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 구리 산화막을 제거시킨 후 상기 하부 구리층의 표면에 구리 질화막을 형성시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 3】**

제 2 항에 있어서, 상기 구리 산화막을 암모니아 가스와 질소 가스 중 하나를 이용한 플라즈마 처리에 의해 제거시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 4】**

제 3 항에 있어서, 상기 암모니아 가스와 상기 질소 가스 중 하나를 100~200sccm의 유량으로 반응 챔버로 유입시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 5】**

제 4 항에 있어서, 상기 반응 챔버의 온도를 300~500℃로 유지시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 6】**

제 3 항에 있어서, 상기 구리 산화막의 제거와 상기 질화막의 적층을 하나의 동일한 챔버에서 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 7】**

제 2 항에 있어서, 상기 구리 산화막의 제거를 암모니아 가스와 질소 가스의 분위기 중 하나에서 열처리에 의해 제거시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 8】**

제 7 항에 있어서, 상기 암모니아 가스와 질소 가스 분위기 중 하나를 5~20 sNm의 유량으로 로에 유입시키는 것을 특징으로 하는 반도체 소자의 제조 방법.



1020020080016

출력 일자: 2003/10/13

### 【청구항 9】

제 8 항에 있어서, 상기 로의 온도를 400~600°C로 유지시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 【청구항 10】

제 2 항에 있어서, 상기 구리 질화막을 50~200Å의 두께로 형성시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 【청구항 11】

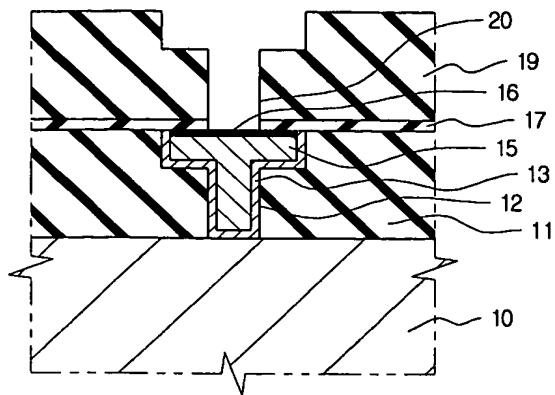
제 1 항에 있어서, 상기 구리 확산 방지층인 절연막으로서 질화막을 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 【청구항 12】

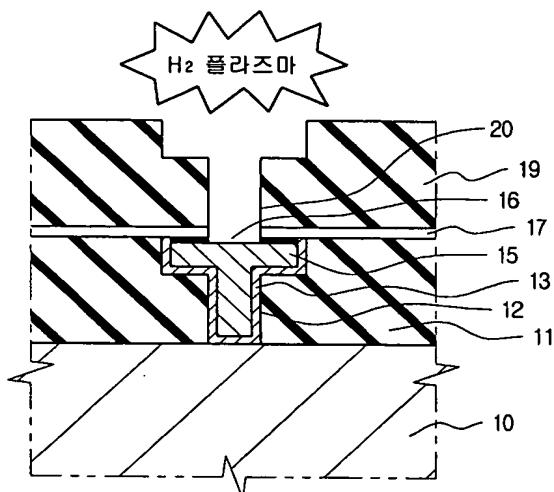
제 11 항에 있어서, 상기 질화막을 50~200Å의 두께로 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【도면】

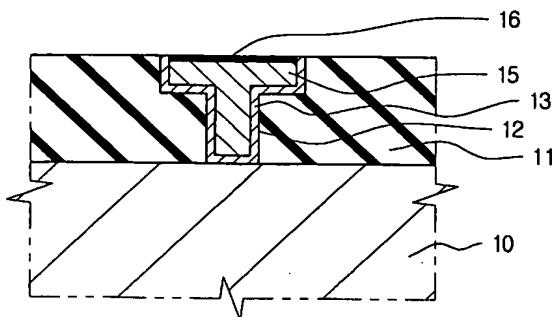
【도 1】



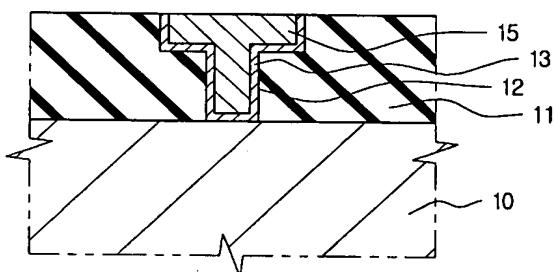
【도 2】



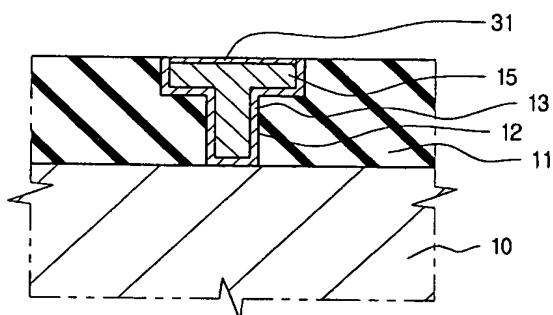
【도 3】



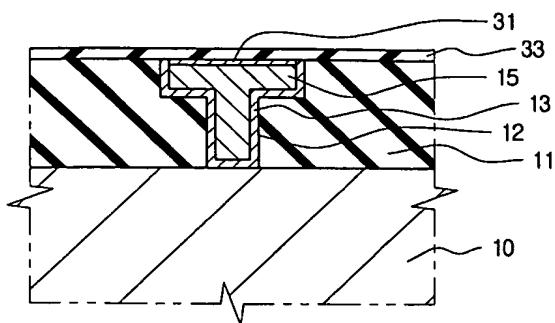
【도 4】



【도 5】



【도 6】



【도 7】

